



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001112016 A**

(43) Date of publication of application: **20.04.01**

(51) Int. Cl. **H04N 9/66**
H04N 9/64

(21) Application number: **11286490**

(22) Date of filing: **07.10.99**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **YUMINE MANABU**
USUKI NAOJI

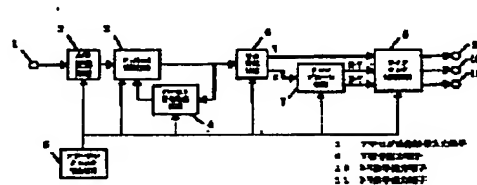
(54) VIDEO SIGNAL PROCESSING UNIT

(57) Abstract:

PROBLEM TO BE SOLVED: To solve a problem of a conventional video signal processing unit used in a video signal recorder, that a mixed unsynchronized clock causes a beat with a video signal.

SOLUTION: The video signal processing unit is provided with a burst lock interpolation circuit to operate the entire video signal processing unit with a single clock of 27 MHz. The burst lock interpolation circuit converts its input into burst lock data of 4 fsc sampling, the data are YC-separated and a chroma signal decoded and a Y signal and R-Y and B-Y signals are generated. Furthermore, a line lock interpolation circuit converts the three signals into data that are respectively line-locked with 13.5 MHz sampling.

COPYRIGHT: (C)2001,JPO



Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-112016
(P2001-112016A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 4 N 9/66		H 0 4 N 9/66	A 5 C 0 6 6
9/64		9/64	V
			Z

審査請求 未請求 請求項の数 2 O L (全 7 頁)

(21) 出願番号 特願平11-286490

(22) 出願日 平成11年10月7日 (1999.10.7)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 堀 孝

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 白木 直司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム (参考) 5C066 AA03 BA02 CA07 DA08 DB07

DCD1 GA02 GA04 GA05 GA18

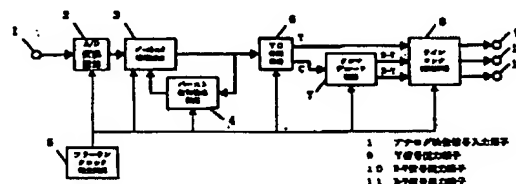
HA02 KB05 KE19 KQ08

(54) 【発明の名称】 映像信号処理装置

(57) 【要約】

【課題】 映像信号記録機器に使用される映像信号処理装置において、従来、非同期クロックの混在により、映像信号にビートが発生するといった課題があった。

【解決手段】 映像信号処理装置全体を27MHzの単一クロックで動作させるために、バーストロック補間回路を設け、バーストロックした4fscサンプリングのデータに変換し、YC分離及びクロマ信号のデコードを行い、Y信号、R-Y信号、B-Y信号を生成する。さらに、この3つの信号を、ラインロック補間回路により、それぞれラインロックした13.5MHzサンプリングのデータに変換する。



Best Available Copy

【特許請求の範囲】

【請求項1】 フリーランクロックを発生するフリーランクロック発生手段と、前記フリーランクロック発生手段からのフリーランクロックに同期してアナログ映像信号をデジタル信号に変換するA/D変換手段と、前記A/D変換手段からのデジタル信号のサンプリング位相及びサンプリング周波数を変換する第1のデジタル補間フィルタ手段と、前記第1の補間フィルタ手段からの信号のバースト位相を検出し、前記第1のデジタル補間フィルタ手段をコントロールするバースト検出手段と、前記第1のデジタル補間フィルタ手段からの信号をY信号とC信号に分離するYC分離手段と、前記YC分離手段からのC信号をR-Y信号とB-Y信号にデコードするクロマ信号デコード手段と、前記YC分離手段からのY信号と前記クロマ信号デコード手段からのR-Y信号及びB-Y信号の時間軸及びサンプリング周波数を変換する第2のデジタル補間フィルタ手段とを備えたことを特徴とする映像信号処理装置。

【請求項2】 アナログ映像信号をデジタル信号に変換するA/D変換手段と、前記A/D変換手段からのデジタル信号のサンプリング周波数を変換する第1のデジタル補間フィルタ手段と、前記第1の補間フィルタ手段からの信号のバースト位相を検出するバースト検出手段と、前記バースト検出手段からの信号で発振周波数及び発振位相が変化するクロックを発生し、前記A/D変換手段のサンプリングタイミングをコントロールするクロック発生手段と、前記第1のデジタル補間フィルタ手段からの信号をY信号とC信号に分離するYC分離手段と、前記YC分離手段からのC信号をR-Y信号とB-Y信号にデコードするクロマ信号デコード手段と、前記YC分離手段からのY信号と前記クロマ信号デコード手段からのR-Y信号及びB-Y信号の時間軸及びサンプリング周波数を変換する第2のデジタル補間フィルタ手段とを備えたことを特徴とする映像信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コンポジット映像信号をY、R-Y、B-Yにデコードする映像信号処理装置に関する。

【0002】

【従来の技術】 従来、映像信号処理装置は、特開平10-164618号公報に記載されたものが知られている。

【0003】 以下に従来の映像信号処理装置について説明する。図3は、従来の映像信号処理装置の構成を示すものである。図3において、41は、アナログ映像信号入力端子で、NTSCコンポジット映像信号が入力される。42は、A/D変換回路で、アナログ映像信号入力端子41からのアナログ信号をデジタル信号に変換す

る。43はYC分離回路で、A/D変換回路42からのNTSCコンポジット映像信号をY信号とC信号に分離する。46はクロマデコード回路で、YC分離回路43からのC信号をデコードし、R-Y信号とB-Y信号を生成する。47はラインロック補間回路で、YC分離回路43からのY信号とクロマデコード回路46からのR-Y信号、B-Y信号をラインロックすると同時にサンプリング周波数の変換も行う。45は、バースト位相検出回路で、YC分離回路43のC信号からバーストの位相を検出する。44はバーストロッククロック発生回路で、バースト位相検出回路45からのデータに応じてバーストロックしたクロックを発生する。48はフリーランクロック発生回路で、フリーランクロックを発生する。ラインロック補間回路47は、フリーランクロック発生回路48からのフリーランクロックに同期して、Y信号、R-Y信号、B-Y信号を出力し、それぞれY信号出力端子49、R-Y信号出力端子50、B-Y信号出力端子51から出力される。

【0004】 以上のように構成された映像信号処理装置について、以下その動作について説明する。まず、この映像信号処理装置は、NTSCコンポジット映像信号の入力に対し、Y信号、R-Y信号、B-Y信号を出力する。この3つの出力信号は、サンプリング周波数が13.5MHzでラインロックしたデジタル信号である。NTSCコンポジット映像信号は、アナログ映像信号入力端子41から入力され、A/D変換回路42で、副搬送波周波数の4倍(4fsc=14.31818...MHz、以下4fscという)のサンプリング周波数でデジタル信号に変換される。A/D変換回路42からのデジタル信号は、YC分離回路43でY信号とC信号に分離される。バースト位相検出回路45は、YC分離回路43から出力されるC信号のバースト信号の位相と、C信号のサンプリング位相の差を検出する。バーストロッククロック発生回路44は、バースト位相検出回路45からの位相差検出結果がゼロになるように4fscのクロックを発生し、A/D変換回路42のサンプリングポイントをコントロールする。

【0005】 46のクロマデコード回路は43で分離されたC信号をデコードし、R-Y信号とB-Y信号を生成する。ここまでの処理で、YC分離回路43からのY信号とクロマデコード回路46からのR-Y信号、B-Y信号は、サンプリング周波数が4fscでバーストロックした信号になっている。ラインロック補間回路47は、バーストロックしているY信号、R-Y信号、B-Y信号をラインロックした信号に変換すると同時に、4fscのサンプリング周波数を13.5MHzのサンプリング周波数に変換し、フリーランクロック発生回路48からの13.5MHzクロックに同期させてY信号、R-Y信号、B-Y信号を出力する。

【0006】

【発明が解決しようとする課題】 しかしながら上記の構

成では、サンプリング周波数が $4f_{sc}$ のA/D変換に、 $\sim 13.5\text{MHz}$ のクロックが妨害として乗ってしまい、映像信号にビート（非同期クロック間の干渉によるビート）が発生するという問題点を有していた。

【0007】本発明は上記従来の問題点を解決するもので、ビートが発生しない映像信号処理装置を提供する事を目的とする。

【0008】

【課題を解決するための手段】この課題を解決するために、本発明の第1の映像信号処理装置は、フリーランクロックを発生するフリーランクロック発生手段と、フリーランクロックに同期してアナログ映像信号をデジタル信号に変換するA/D変換手段と、A/D変換手段からのデジタル信号のサンプリング位相及びサンプリング周波数を変換する第1のデジタル補間フィルタ手段と、第1の補間フィルタ手段からの信号のバースト位相を検出し、第1のデジタル補間フィルタ手段をコントロールするバースト検出手段と、第1のデジタル補間フィルタからの信号をY信号とC信号に分離するYC分離手段と、YC分離手段からのC信号をR-Y信号とB-Y信号にデコードするクロマ信号デコード手段と、YC分離手段からのY信号とクロマ信号デコード手段からのR-Y信号及びB-Y信号の時間軸及びサンプリング周波数を変換する第2のデジタル補間フィルタ手段の構成を有している。

【0009】また、この目的を達成するために本発明の第2の映像信号処理装置は、アナログ映像信号をデジタル信号に変換するA/D変換手段と、A/D変換手段からのデジタル信号のサンプリング周波数を変換する第1のデジタル補間フィルタ手段と、第1の補間フィルタ手段からの信号のバースト位相を検出するバースト検出手段と、バースト検出手段からの信号で発振周波数及び発振位相が変化するクロックを発生し、A/D変換手段のサンプリングタイミングをコントロールするクロック発生手段と、第1のデジタル補間フィルタからの信号をY信号とC信号に分離するYC分離手段と、YC分離手段からのC信号をR-Y信号とB-Y信号にデコードするクロマ信号デコード手段と、YC分離手段からのY信号とクロマ信号デコード手段からのR-Y信号及びB-Y信号の時間軸及びサンプリング周波数を変換する第2のデジタル補間フィルタ手段の構成を有している。

【0010】

【発明の実施の形態】以下本発明の実施の形態について、図1、図2、図4を用いて説明する。

【0011】（実施の形態1）図1は、本発明の映像信号処理装置の第1の実施の形態を示している。図1において、1はアナログ映像信号入力端子で、NTSCコンポジット映像信号が入力される。5はフリーランクロック発生回路で、フリーランの 27MHz のクロックを発生す

る。2はA/D変換回路で、アナログ映像信号入力端子1から入力されたアナログ信号をフリーランクロック発生回路5のクロックに同期してデジタルデータに変換する。3はバーストロック補間回路で、A/D変換回路2からのデータを、バーストロックした $4f_{sc}$ サンプリングのデータに変換する。4はバースト位相検出回路で、バーストロック補間回路3のデータからバーストの位相を検出し、バーストロック補間回路3にバースト位相のデータをフィードバックする。6はYC分離回路で、バーストロック補間回路3からのデータをY信号とC信号に分離する。7はクロマデコード回路で、YC分離回路6からのC信号をデコードし、R-Y信号とB-Y信号を生成する。8はラインロック補間回路で、YC分離回路6からのY信号と、クロマデコード回路7からのR-Y信号、B-Y信号をラインロックすると同時に 13.5MHz サンプリングのデータに変換する。9、10、11はそれぞれY信号出力端子、R-Y信号出力端子、B-Y信号出力端子で、ラインロック補間回路8からのY信号、R-Y信号、B-Y信号をそれぞれ出力する。

【0012】以上のように構成された映像信号処理装置について図1及び図4を用いてその動作を説明する。まず、波形61がNTSCコンポジット映像信号のバースト信号部の波形である。波形61は、アナログ映像信号入力端子1から入力される。フリーランクロック発生回路5から発生された 27MHz のクロックが波形64である。A/D変換回路2は、波形64の 27MHz クロックに同期して波形61をサンプリングするので、波形61の○点が波形65のデジタルデータに変換される。バーストロック補間回路3は、 27MHz でサンプリングされたデータ（波形61の○データ）を、 $4f_{sc}$ サンプリングのバーストロックデータ（波形61の×データ）に、デジタル補間フィルタを用いて変換し、波形66のデータを出力する。この波形66と同時にデータイネーブル信号67も出力する。この時、データの補間位置（波形61の×データの位置）は、バースト位相検出回路4からフィードバックされるバースト位相情報に応じてコントロールされる。バースト位相検出回路4は、バーストロック補間回路3の出力データから、バースト信号部を抜き出し、サンプリングポイントが、バースト信号の 0° 、 90° 、 180° 、 270° のポイントに対しどの程度ずれているかを検出し、バースト位相情報として出力する。このバースト位相情報がゼロになるように、バーストロック補間回路3は、補間データの生成位置を調整する。

【0013】このように、バーストロック補間回路3とバースト位相検出回路4のループにより、フリーラン 27MHz サンプリングのデータをバーストロック $4f_{sc}$ サンプリングのデータに変換する。これは、通常、YC分離が、バーストロック $4f_{sc}$ サンプリングで行われるためである。バーストロック補間回路3から出力された信号

は、YC分離回路6で、Y信号とC信号に分離され、C信号は、クロマデコード回路7でR-Y信号とB-Y信号にデコードされる。ラインロック補間回路8は、バーストロック4fscサンプリングのY信号、R-Y信号、B-Y信号を、ラインロック13.5MHzサンプリングのY信号、R-Y信号、B-Y信号に変換する。

【0014】本実施の形態の映像信号処理装置は、27MHzの単一クロックのみで、NTSCコンポジット信号を、Y信号、R-Y信号、B-Y信号にデコードし、ラインロックした13.5MHzサンプリングのデジタルデータに変換する。従って、非同期クロックの混在によるビートが発生しないので、高画質化の効果が得られる。

【0015】以上のように、本実施の形態によれば、フリーランクロックを発生するフリーランクロック発生回路5と、フリーランクロック発生回路5からのフリーランクロックに同期してアナログ映像信号をデジタル信号に変換するA/D変換回路2と、A/D変換回路2からのデジタル信号のサンプリング位相及びサンプリング周波数を変換するバーストロック補間回路3と、バーストロック補間回路3からの信号のバースト位相を検出し、バーストロック補間回路3をコントロールするバースト位相検出回路4と、バーストロック補間回路3からの信号をY信号とC信号に分離するYC分離回路6と、YC分離回路6からのC信号をR-Y信号とB-Y信号にデコードするクロマデコード回路7と、YC分離回路6からのY信号とクロマデコード回路7からのR-Y信号及びB-Y信号の時間軸及びサンプリング周波数を変換するラインロック補間回路8を設けることにより、27MHzの単一クロックのみで、NTSCコンポジット信号を、Y信号、R-Y信号、B-Y信号にデコードし、ラインロックした13.5MHzサンプリングのデジタルデータとして出力できる。従って、非同期クロックの混在によるビートが発生しないという高画質化の効果が得られる。

【0016】(実施の形態2)図2は、本発明の映像信号処理装置の一実施の形態を示している。図2において、21はアナログ映像信号入力端子、22はA/D変換回路、24はバースト位相検出回路、26はYC分離回路、27はクロマデコード回路、28はラインロック補間回路、29はY信号出力端子、30はR-Y信号出力端子、31はB-Y信号出力端子で、以上は図1の構成と同様なものである。図1の構成と異なるのは、3のバーストロック補間回路を、23のサンプリング周波数変換回路にした点と、フリーランクロック発生回路5を25のバーストロッククロック発生回路に変更した点と、バースト位相検出回路24のバースト位相情報をバーストロッククロック発生回路25にフィードバックしている点である。

【0017】上記のように構成された映像信号処理装置について、以下その動作を説明する。第1の実施の形態

では、バーストロック補間回路3とバースト位相検出回路4のフィードバックループによって、フリーラン27MHzサンプリングのデータを、バーストロック4fscサンプリングのデータに変換しているが、第2の実施の形態では、A/D変換回路22とサンプリング周波数変換回路23とバースト位相検出回路24とバーストロッククロック発生回路25のループによって同様の動作を行う。アナログ映像信号入力端子21からは、NTSCコンポジット映像信号が入力され、A/D変換回路22で27MHzサンプリングのデジタルデータに変換される。この時、A/D変換回路22は、バーストロッククロック発生回路25からの27MHzクロックに同期してサンプリングを行う。A/D変換回路22からの27MHzサンプリングのデータは、サンプリング周波数変換回路23で4fscサンプリングのデータに変換される。バースト位相検出回路24は、サンプリング周波数変換回路23の出力データから、バースト信号部を抜き出し、サンプリングポイントが、バースト信号の0°、90°、180°、270°のポイントに対しどの程度ずれているかを検出し、バースト位相情報として出力する。バーストロッククロック発生回路25は、このバースト位相情報が0になるように、27MHzのクロックを生成する。

【0018】このように、A/D変換回路22とサンプリング周波数変換回路23とバースト位相検出回路24とバーストロッククロック発生回路25のループにより、バーストロックした4fscサンプリングのデータを生成する。つまり、27MHzの単一クロックのみでバーストロック4fscサンプリングのデータが生成される。

【0019】サンプリング周波数変換回路23からのバーストロック4fscサンプリングのデータは、YC分離回路26でY信号とC信号に分離され、C信号はクロマデコード回路27でR-Y信号とB-Y信号にデコードされる。ラインロック補間回路28は、バーストロック4fscサンプリングのY信号、R-Y信号、B-Y信号を、ラインロック13.5MHzサンプリングのY信号、R-Y信号、B-Y信号に変換する。

【0020】本実施の形態の映像信号処理装置は、27MHzの単一クロックのみで、NTSCコンポジット信号を、Y信号、R-Y信号、B-Y信号にデコードし、ラインロックした13.5MHzサンプリングのデジタルデータに変換する。従って、非同期クロックの混在によるビートが発生しないので、高画質化の効果が得られる。

【0021】以上のように、本実施の形態によれば、アナログ映像信号をデジタル信号に変換するA/D変換回路22と、A/D変換回路22からのデジタル信号のサンプリング周波数を変換するサンプリング周波数変換回路23と、サンプリング周波数変換回路23からの信号のバースト位相を検出するバースト位相検出回路24と、バースト位相検出回路24からの信号で発振周波数及び発振位相が変化するクロックを発生し、A/D変

換回路 22 のサンプリングタイミングをコントロールするバーストロッククロック発生回路 25 と、サンプリング周波数変換回路 23 からの信号を Y 信号と C 信号に分離する YC 分離回路 26 と、YC 分離回路からの C 信号を R-Y 信号と B-Y 信号にデコードするクロマデコード回路 27 と、YC 分離回路 26 からの Y 信号とクロマデコード回路 27 からの R-Y 信号及び B-Y 信号の時間軸及びサンプリング周波数を変換するラインロック補間回路 28 を設けることにより、27MHz の単一クロックのみで、NTSC コンポジット信号を、Y 信号、R-Y 信号、B-Y 信号にデコードし、ラインロックした 13.5 MHz サンプリングのデジタルデータに変換できる。従って、非同期クロックの混在によるビートが発生しないという高画質化の効果が得られる。

【0022】なお、以上の説明では、バーストロックをフィードバックループで構成した例で示したが、フィードフォワードでバーストロックを行うことも同様に可能である。

【0023】

【発明の効果】以上のように、本発明は、フリーランクロックを発生するフリーランクロック発生手段と、前記フリーランクロック発生手段からのフリーランクロックに同期してアナログ映像信号をデジタル信号に変換する A/D 変換手段と、前記 A/D 変換手段からのデジタル信号のサンプリング位相及びサンプリング周波数を変換する第 1 のデジタル補間フィルタ手段と、前記第 1 の補間フィルタ手段からの信号のバースト位相を検出し、前記第 1 のデジタル補間フィルタ手段をコントロールするバースト検出手段と、前記第 1 のデジタル補間フィルタ手段からの信号を Y 信号と C 信号に分離する YC 分離手段と、前記 YC 分離手段からの C 信号を R-Y 信号と B-Y 信号にデコードするクロマ信号デコード手段と、前記 YC 分離手段からの Y 信号と前記クロマ信号デコード手段からの R-Y 信号及び B-Y 信号の時間軸及びサンプリング周波数を変換する第 2 のデジタル補間フィルタ手段を設けるか、もしくは、アナログ映像信号をデジタル信号に変換する A/D 変換手段と、前記 A/D 変換手段からのデジタル信号のサンプリング周波数を変換する第 1 のデジタル補間フィルタ手段と、前記第 1 の補間フィルタ手段からの信号のバースト位相を検出するバースト検出手段と、前記バースト検出手段からの信号で発振周波数及び発振位相が変化するクロックを発生し、前記 A/D 変換手段のサンプリングタイミングをコントロールするクロック発生手段と、前記

第 1 のデジタル補間フィルタ手段からの信号を Y 信号と C 信号に分離する YC 分離手段と、前記 YC 分離手段からの C 信号を R-Y 信号と B-Y 信号にデコードするクロマ信号デコード手段と、前記 YC 分離手段からの Y 信号と前記クロマ信号デコード手段からの R-Y 信号及び B-Y 信号の時間軸及びサンプリング周波数を変換する第 2 のデジタル補間フィルタ手段を設ける事により、バーストロックで行う信号処理と、ラインロックで行う信号処理を、単一クロックもしくは、同期した数種類のクロックのみで行う事ができる。従って、非同期クロックの混在によるビートが発生しないという顕著な効果が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る映像信号処理装置を示す構成図

【図 2】本発明の第 2 の実施の形態に係る映像信号処理装置を示す構成図

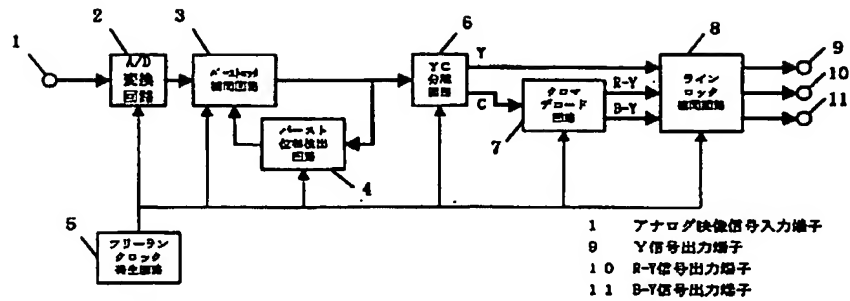
【図 3】従来の映像信号処理装置を示す構成図

【図 4】本発明の一実施の形態に係る映像信号処理装置の動作を説明するための波形図

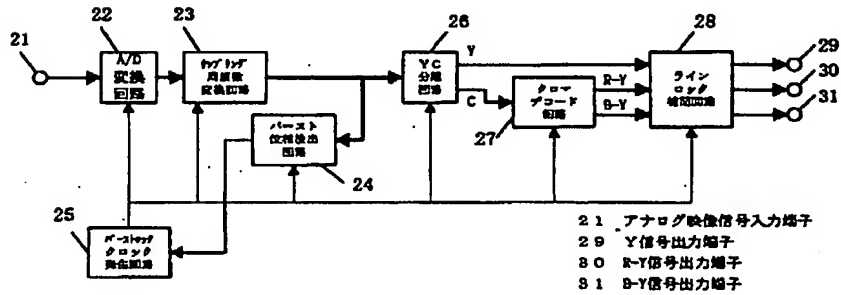
【符号の説明】

- 1 アナログ映像信号入力端子
- 2 A/D 変換回路
- 3 バーストロック補間回路
- 4 バースト位相検出回路
- 5 フリーランクロック発生回路
- 6 YC 分離回路
- 7 クロマデコード回路
- 8 ラインロック補間回路
- 9 Y 信号出力端子
- 10 R-Y 信号出力端子
- 11 B-Y 信号出力端子
- 21 アナログ映像信号入力端子
- 22 A/D 変換回路
- 23 サンプリング周波数変換回路
- 24 バースト位相検出回路
- 25 バーストロッククロック発生回路
- 26 YC 分離回路
- 27 クロマデコード回路
- 28 ラインロック補間回路
- 29 Y 信号出力端子
- 30 R-Y 信号出力端子
- 31 B-Y 信号出力端子

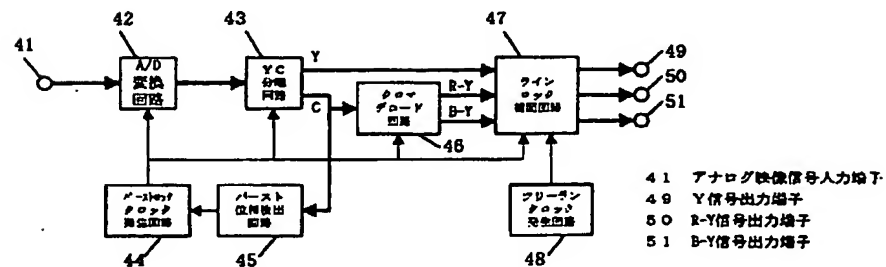
【図1】



【図2】



【図3】



【図4】

